

An over load protection circuit for power semiconductor device 1 for carrying a load current to a load 3 is configured simply while a driving circuit for driving the semiconductor device keeps a driving ability for a load 3. FIG. 1 shows a graph of one of a protection characteristic A defined by a relationship between a voltage applied between main terminals of the semiconductor device and a load current in the present invention. Y and X axes indicate the voltage applied between main terminals of the semiconductor device and the load current, respectively. The graph also shows a characteristic C of a prior art. The protection characteristic A is consisted of tree voltage range A1, A2 and A3 which is divided by mid-setting value  $V_i$  and max-setting value  $V_m$ .

---



平07-297697 平06-090399 電力用半導体素子の過負荷保護回路

③

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297697

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl.<sup>6</sup>  
H 03 K 17/08

識別記号 庁内整理番号  
A 9184-5J

F I

## 技術表示箇所

審査請求 未請求 請求項の数 7 O.L. (全 7 頁)

(21) 出願番号 特願平6-90399

(22)出願日 平成6年(1994)4月28日

(71) 出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 古畑 昌一  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内

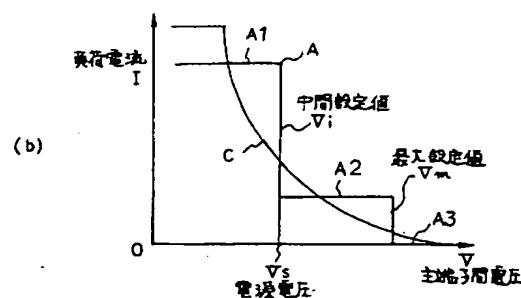
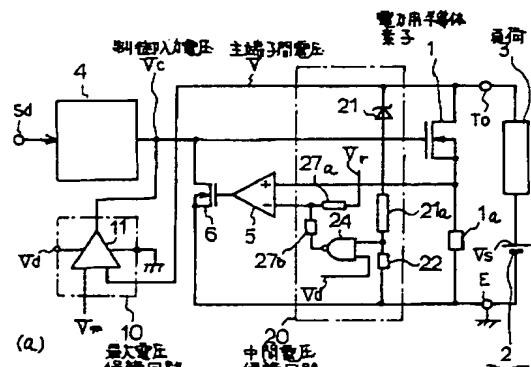
(74) 代理人 弁理士 山口 廉

(54) 【発明の名称】 電力用半導体素子の過負荷保護回路

(57) 【要約】

【目的】電力用半導体素子1の過負荷保護回路を負荷3に対する駆動能力を落とさずに保護動作を速く保ちながら極力簡単な回路で構成する。

【構成】半導体素子1の主端子間電圧Vが所定の最大設定値Vmに達したとき半導体素子1を制御する最大電圧保護回路10と、主端子間電圧Vが最大設定値Vmより低く設定された中間設定値Viを越えたとき半導体素子1の制御入力電圧Vcを制御する中間電圧保護回路20とを用い、中間電圧保護回路20により負荷電力Iを所定の電流制限値まで絞るよう制御入力電圧Vcを制御し、最大電圧保護回路10により半導体素子1をオフさせて負荷電流Iを遮断することにより、特性Aに示すように主端子間電圧Vの上昇に応じて負荷電流Iが段階的に順次に絞り込まれる保護特性を得る。



【特許請求の範囲】

【請求項 1】電源に直列接続された負荷に流す電流を制御する電力用半導体素子を過負荷から保護するための回路であって、半導体素子の主端子間に掛かる電圧が所定の最大設定値に達したとき半導体素子の制御入力端子を制御する最大電圧保護回路と、半導体素子の主端子間の電圧が最大設定値より低く設定された中間設定値を越えたとき半導体素子の制御入力端子に与える電圧を制御する中間電圧保護回路とを設け、中間電圧保護回路により負荷電流を電流制限値まで絞るよう半導体素子の制御入力端子に与える電圧を制御し、最大電圧保護回路により負荷電流を遮断するよう半導体素子の制御入力端子を制御するようにしたことを特徴とする電力用半導体素子の過負荷保護回路。

【請求項 2】請求項 1 に記載の回路において、複数の中間設定値を設定して半導体素子の主端子間電圧が各中間設定値を越えるつど中間電圧保護回路により負荷電流を順次に低下する電流制限値に絞るようにしたことを特徴とする電力用半導体素子の過負荷保護回路。

【請求項 3】請求項 1 に記載の回路において、中間設定値を電源電圧の値と同程度ないしそれよりも若干高めに設定するようにしたことを特徴とする電力用半導体素子の過負荷保護回路。

【請求項 4】請求項 1 に記載の回路において、半導体素子の主端子間電圧を受けるツェナーダイオードを中間電圧保護回路に設けてそのツェナー降伏電圧を中間設定値として負荷電流を絞り込む制御動作をさせるようにしたことを特徴とする電力用半導体素子の過負荷保護回路。

【請求項 5】請求項 1 に記載の回路において、中間電圧保護回路内に半導体素子の主端子間電圧を受ける抵抗分圧回路およびその分圧を受けるしきい値動作回路要素を設けて、抵抗分圧回路の分圧比としきい値動作回路要素のしきい値とにより中間設定値を設定し、しきい値動作回路要素が動作したときに負荷電流を絞り込む制御動作を行なわせるようにしたことを特徴とする電力用半導体素子の過負荷保護回路。

【請求項 6】請求項 1 に記載の回路において、中間電圧保護回路内に半導体素子の主端子間電圧を受ける抵抗分圧回路およびその分圧を所定の基準電圧値と比較するコンパレータを設け、抵抗分圧回路の分圧比と基準電圧値とにより中間設定値を設定し、コンパレータの出力に応じて負荷電流を絞り込む動作をさせるようにしたことを特徴とする電力用半導体素子の過負荷保護回路。

【請求項 7】請求項 1 に記載の回路において、中間電圧保護回路内に半導体素子に対する制御入力電圧を受ける抵抗分圧回路を設け、半導体素子の主端子間電圧が中間設定値を越えたときにその分圧を半導体素子の制御入力端子に与えることにより負荷電流を絞り込むようにしたことを特徴とする電力用半導体素子の過負荷保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電源に直列接続された負荷に流す電流を制御する電力用半導体素子を使用中に負荷側から掛かりやすい過負荷から保護するための回路、とくに電力用半導体素子とともに集積回路に組み込むに適する保護回路に関する。

【0002】

【従来の技術】電界効果トランジスタ、絶縁ゲートバイポーラトランジスタ等の電力用半導体素子の用途拡大に伴い、従来から使い勝手の向上のために駆動用や制御用の関連回路とともに半導体形ないしはハイブリッド形の集積回路に組み込んでいわゆるインテリジェントパワー・スイッチやインテリジェントパワーモジュールの形態で提供する傾向が強まって来ており、さらに最近では負荷の変動や短絡時に掛かる過負荷や過電圧から半導体素子を保護するための回路もこれに追加して組み込むことが要求されるようになって来た。

【0003】図 5 にかかる要求に沿った保護回路の従来の代表例を保護特性の面から示す。図 5 (a) は単純な過電圧保護回路の保護特性 B を示し、誘導性負荷の遮断時等に半導体素子に掛かる横軸の電圧 V が電源電圧 Vs より高く設定された最大電圧 Vm を越えると、半導体素子をオフ動作させて図示のように縦軸の電流 I を遮断する。最大電圧 Vm の値はもちろん半導体素子の耐圧よりは低く、ふつうは電源電圧 Vs の 1.5 ~ 2 倍の範囲内に設定される。

【0004】図 5 (b) は半導体素子が負荷の短絡時等に過大な電力により熱的に破壊しないようとする過電力保護回路の保護特性 C を示す。図のように半導体素子に掛かる電圧 V が電源電圧 Vs より低く設定した電圧 Va を越えると電流 I の制限を開始し、以後は電流 I を双曲線的な特性で制限しながら電圧 V が最大電圧 Vm に達した時に 0 まで絞り込んで半導体素子をオフ状態にする。最大電圧 Vm を上述のように電源電圧 Vs の 1.5 ~ 2 倍に設定して双曲線的な特性部分を半導体素子がもつ熱特性にほぼ合わせると、電流制限の開始電圧 Va は電源電圧 Vs の 0.5 ~ 0.7 倍の範囲内になるのがふつうである。

【0005】

【発明が解決しようとする課題】前述の図 5 (a) の保護特性をもつ過電圧保護回路は回路構成がごく簡単で済む利点はあるが、容易にわかるように半導体素子を熱的な破壊から充分に保護できない問題がある。半導体素子に掛かる電圧 V が最大電圧 Vm 以下であってもそれに流れる電流 I が過大な過負荷の状態が持続すると、とくに電圧 V が電源電圧 Vs を越える範囲内で半導体素子の熱的破壊の危険があるからである。

【0006】これに対して、図 5 (b) の保護特性をもつ過電力保護回路は半導体素子の熱的破壊に対する保護が良好であり、しかも最大電圧 Vm を越える過電圧に対する保護性能も備えている。しかし、電力制限開始電圧 Va が

前述のように電源電圧Vsより低くなり、従って電圧VがVa～Vsの範囲内では負荷側が正常であっても電流Iが制限されてしまうので、半導体素子がその本来もつ負荷駆動能力を充分発揮できなくなる問題がある。とくに重要な負荷を駆動している時は、負荷が正常でかつ半導体素子の電圧Vが電源電圧Vs以下なのに負荷駆動能力が低下しない喪失してしまうことは絶対に許されないことがある。また、図5(b)のような双曲線的な特性をもつ保護回路では、負荷の急変時に過電力時の電流制限動作や過電圧時の電流遮断動作を高速化するのは必ずしも容易でないほか、回路構成が複雑化して高価につきやすい問題がある。

【0007】従来技術がもつかかる問題点に鑑み、本発明は半導体素子に負荷の駆動能力を充分に発揮させることができ、過電圧保護を含む保護動作が速やかな過負荷保護回路を提供することを第1の目的とし、集積回路への組み込みが容易になるようその回路構成を簡単化することを第2の目的とするものである。

#### 【0008】

【課題を解決するための手段】上記の第1の目的は本発明の過負荷保護回路によれば、半導体素子の主端子間電圧が所定の最大設定値に達したとき半導体素子の制御入力端子を制御する最大電圧保護回路と、半導体素子の主端子間電圧が最大設定値よりも低く設定された中間設定値を越えたとき半導体素子の制御入力端子に与える電圧を制御する中間電圧保護回路とを設け、中間電圧保護回路により負荷電流を電流制限値まで絞り込むよう半導体素子の制御入力端子に与える電圧を制御し、最大電圧保護回路により負荷電流を遮断するよう半導体素子の制御入力端子を制御することによって達成される。なお、上記の中間設定値は半導体素子に負荷駆動能力を発揮させるために電源電圧値と同程度かそれより若干高めに設定するのがよい。また、この中間設定値を用途や必要に応じて複数個設定して、半導体素子の主端子間電圧が各中間設定値を越えるつどに負荷電流を順次低く設定された電流制限値に絞って行くようになるのが有利である。

【0009】前述の第2の目的は上記構成の過負荷保護回路の中間電圧保護回路において、(a) 半導体素子の主端子間電圧を受けるツェナーダイオードを組み込んで、そのツェナー降伏電圧を中間設定値として負荷電流を絞り込み、(b) 主端子間電圧を受ける抵抗分圧回路とその分圧を受けるしきい値動作回路要素を組み込み、この抵抗分圧回路の分圧比としきい値動作回路要素のしきい値とにより中間設定値を設定して、しきい値動作回路要素が動作したとき負荷電流を絞り込み、あるいは(c) 主端子間電圧を受ける抵抗分圧回路とその分圧を所定の基準電圧と比較するコンパレータを設け、抵抗分圧回路の分圧比と基準電圧値とにより中間設定値を設定して、コンパレータの出力に応じて負荷電流を絞り込むことによりそれ達成される。なお、上記(b)項におけるしきい

値動作回路要素としてはゲートが所定の動作しきい値をもつMOSトランジスタや入力側に動作しきい値を有する論理ゲート等を適宜に用いることができる。さらに、負荷電流を絞り込むための手段としては、中間電圧保護回路内に半導体素子に対する制御入力電圧を受ける抵抗分圧回路を設け、半導体素子の主端子間電圧が中間設定値を越えたときこの抵抗分圧回路による分圧値を半導体素子の制御入力端子に与えるようにするのが回路構成を簡単化する上で有利である。

#### 【0010】

【作用】本発明は過電圧保護を最大電圧保護回路に、過電力保護を中間電圧保護回路にそれぞれ分担させて半導体素子に対する保護をいわば段階的に施すことにより、中間電圧保護回路を動作させる中間設定値を半導体素子に負荷駆動能力を充分に発揮させるように用途ないし場合に応じて最適値に自由に設定できるようにし、かつ最大電圧保護回路と中間電圧保護回路を互いに独立に動作させて過電圧保護動作と過電力保護動作を高速化しつつ確実にするものである。

【0011】このため前項の構成にいうように本発明の過負荷保護回路では、最大電圧保護回路に対しては最大設定値を設定しておいて半導体素子の主端子間電圧がこれに達したとき負荷電力を遮断させて半導体素子を過電圧から保護し、中間電圧保護回路に対しては中間設定値を最大設定値よりも低く設定しておいて主端子間電圧がこれを越えたとき負荷電流を電流制限値まで絞り込むよう半導体素子の制御入力端子に与える電圧を制御させて半導体素子を過電力から保護する。

#### 【0012】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。図1は本発明の過負荷保護回路の実施例を電力用半導体素子および関連回路とともに示す回路図および保護特性を例示する線図、図2から図4までは本発明のそれぞれ異なる実施例を中間電圧保護回路について電力用半導体素子や主な関連回路とともに示す回路図である。なお、これらの実施例では電力用半導体素子は電界効果トランジスタとするが、本発明はもちろんこれに限らず絶縁ゲートバイポーラトランジスタ等の制御入力端子が電圧制御可能な素子全般の保護に適用できる。

【0013】図1(a)のように、電力用半導体素子1ないし上述の電界効果トランジスタの保護用に本発明ではそれぞれ一点鎖線で囲んで示した最大電圧保護回路10と中間電圧保護回路20を用いるが、その説明に入る前にまず図の関連回路を説明する。半導体素子1の出力端子Toと接地端子Eの間に電源2と負荷3が直列接続され、半導体素子1はその制御入力端子に駆動回路4から負荷3に流す電流を指定する制御入力電圧Vcを受けている。駆動回路4は例えばシュミット回路や増幅回路を含み、外部から受ける駆動指令Sdに応じてこの制御入力電圧Vcをこの実施例では単に5Vのハイの論理状態で出力するも

のである。

【0014】さらに、図の例では負荷3に流れる電流を検出するために半導体素子1の接地端子E側に電流検出抵抗1aが接続され、その電圧降下が電流の実際値信号として演算增幅器5の一方の入力に与えられる。この演算增幅器5は他方の入力に基準電圧Vrを図の例では抵抗27aを介して負荷電流の目標値信号として受け、これと電流実際値の差信号を上述の制御入力電圧Vcの値をアノログ制御する制御トランジスタ6の図の例ではゲートである入力に与える。容易にわかるように、半導体素子1と演算增幅器5と制御トランジスタ6を含む高ゲインの自動制御系により負荷電流は電流検出抵抗1aによるその実際値が基準電圧Vrによる目標値と正確に一致するように制御される。

【0015】最大電圧保護回路10は図のように単一のコンパレータ11からなる簡単な構成のものでよく、図には駆動回路4と別個に示すが実際にはそれに組み込んでしまうのがよい。コンパレータ11は一方の入力に半導体素子1に許容できる最大電圧である最大設定値Vmを、他方の入力に出力端子Toの電圧を半導体素子1の主端子間電圧Vとしてそれを受け、出力が半導体素子1への制御入力電圧Vcの供給点に接続される。出力端子Toの電圧は電流検出抵抗1aの電圧降下分を含むが、それによる誤差は些少なので実用上は半導体素子1の主端子間電圧Vとしてよい。この最大電圧保護回路10は制御電源電圧Vdの給電下で動作し、主端子間電圧Vが最大設定値Vmに達したときコンパレータ11の出力のローにより制御入力電圧Vcを接地電位に下げて半導体素子1をオフさせる。

【0016】図1(a)の中間電圧保護回路20では、半導体素子1の主端子間電圧Vを受けるツエーダイオード21の降伏電圧により中間設定値を設定し、主端子間電圧Vがこの設定値を越えたとき半導体素子1の過電力保護のため一対の抵抗27aと27bからなる分圧回路と演算增幅器5を利用して負荷3の電流を低い値に絞り込む。ツエーダイオード21には電流制限抵抗21aと接地側の検出抵抗22を接続して、その降伏時に検出抵抗22から検出信号を NANDゲート24の一方の入力に与える。NANDゲート24は他方の入力に制御電源電圧Vdを受けており、検出信号を受けたときその出力のローによって抵抗27bを接地する。これにより、演算增幅器5は基準電圧Vrの分圧回路による分圧値を新しい制御目標値として受け、負荷3に流す電流をそれまでより低い一定値に制御する。

【0017】図1(b)に図1(a)の実施例に対応する保護特性Aを示す。図の横軸は半導体素子1の主端子間電圧V、縦軸は負荷電流Iであり、図にはこの特性Aのほかに前述の図5(b)の従来の特性Cが参考用に重ねて示されている。本発明の場合の保護特性Aは図示のように中間設定値Viと最大設定値Vmにより区分された3個の電圧領域A1、A2、A3に階段状に別れている。主端子間電圧

Vが中間設定値Viより低い電圧領域A1は中間電圧保護回路20がまだ動作しない領域であって、ここでは負荷電流Iが前述のように基準電圧Vrにより指定された目標値に応じて一定制御される。中間設定値Viは本発明ではこの実施例のように電源電圧Vsと同じか若干高めに設定するのがよく、これによって電圧領域A1内で半導体素子1にその負荷駆動能力を充分に発揮させることができる。

【0018】主端子間電圧が中間設定値Viを越えると電圧領域A2に入るが、この領域内での負荷電流Iは半導体素子1が熱的に破壊するおそれがない範囲に設定する必要があるが、実際面では負荷3がもつ特質、とくに誘導性負荷としての過渡的特性を考慮して設定するのが合理的である。この負荷電流の値は前述のように中間電圧保護回路20内の抵抗27aと27bからなる分圧回路の分圧比により設定され、演算增幅器5が負荷電流Iをこの設定に応じた一定値に制御する。

【0019】最大電圧保護回路10を動作させる最大設定値Vmは従来の図5(a)の例と同様に電源電圧Vsのふつうは1.5～2倍の範囲に設定するのがよく、主端子間電圧Vがこの設定値に到達した後の電圧領域A3では半導体素子1がオフして負荷電流Iが遮断される。図5(a)に対応する従来の特性Cでは、主端子間電圧Vが高まるにつれて負荷電流Iの減少率が図のように小さくなって来るため、半導体素子1に許容する最大電圧値が変動したりばらついたりしやすいが、本発明では最大電圧保護回路10によって主端子間電圧Vを最大設定値Vm以下に抑えて半導体素子1に確実な過電圧保護を施すことができる。

【0020】図2以降には本発明の実施例を中間電圧保護回路20について示す。図1(a)の電源2と負荷3は図の簡単化のために省かれている。また、図1(a)の電流検出抵抗1a、演算增幅器5および制御トランジスタ6からなる負荷電流Iの制御系も省かれているが、以下に述べる実施例のいずれでもこの電流制御系の利用ないしそれとの併用がもちろん可能である。

【0021】図2の実施例の中間電圧保護回路20では、主端子間電圧Vを受ける一対の抵抗23aと23bからなる抵抗分圧回路と、その分圧を受けるしきい値動作回路要素としてのNANDゲート24とを用い、抵抗分圧回路の分圧比とNANDゲートの入力の動作しきい値により中間設定値Viを設定する。このためNANDゲート24の一方の入力に抵抗分圧回路による分圧を与えるが、他方の入力には図の例では抵抗28とキャパシタ29からなる時定数回路を介して制御入力電圧Vcのハイを与える。このNANDゲート24の出力は主端子間電圧Vが中間設定値Viを越えるとローになって抵抗27bを接地するので、制御入力電圧Vcが一対の抵抗27aと27bからなる抵抗分圧回路により分圧された上で半導体素子1の制御入力端子に与えられ、従って負荷電流Iが絞られる。なお、図の例では抵抗27aと27bを含む抵抗分圧回路により半導体素子1を直接制御し、その分圧比により負荷電流Iを設定するよ

うになっているが、この抵抗分圧回路によって図1(a)の演算增幅器5に与える基準電圧 $V_r$ 側の入力を制御するようにしてよい。

【0022】図3の実施例の中間電圧保護回路20では2個の中間設定値を設定する。一方の例えは低い方の中間設定値は抵抗23aと23bからなる抵抗分圧回路とゲート動作しきい値をもつトランジスタ25により設定され、トランジスタ25がオンしたとき制御入力電圧 $V_c$ を抵抗27aとこのトランジスタ25のオン抵抗による分圧で低めて半導体素子1に与えることにより負荷電流Iを絞る。他方の例えは高い方の中間設定値はツェナーダイオード21とその電流制限抵抗21aと検出抵抗22を含む直列回路により設定され、検出抵抗22の検出信号により上とは別のトランジスタ25がオンしたとき、抵抗27aと今度は2個のトランジスタ25の並列接続のオン抵抗により制御入力電圧 $V_c$ を分圧、低下させて半導体素子1に与えることにより、負荷電流Iをさらにもう1段絞り込むようとする。

【0023】この図3の実施例では、図1(b)の中間設定値 $V_i$ を2個設定して負荷電流Iを2段に絞り込むことにより半導体素子1にその熱特性や負荷3の特質に一層よく適合した過電力保護を施すことができる。また、トランジスタ25に分圧用抵抗やしきい値動作回路要素の機能を兼ねさせることにより、2段の保護にも拘わらず回路全体を簡単な構成で済ませることができる。なお、保護はこの2段に限らず必要に応じてさらに多段とすることができる。

【0024】次の図4の実施例の中間電圧保護回路20では抵抗23aと23bからなる抵抗分圧回路とその分圧を受けるコンパレータ26とにより中間設定値を設定する。コンパレータ26は主端子間電圧Vの分圧を中間設定値用の基準電圧 $V_r$ と比較して前者が後者を越すとその出力をローにする。この実施例でもコンパレータ26を構成するトランジスタのオン抵抗が抵抗27aとともに抵抗分圧回路の構成に利用される。従って、コンパレータ26の出力がローになると制御入力電圧 $V_c$ はこの分圧回路により低められた上で半導体素子1に与えられ、これにより負荷電流Iが分圧比で設定された値に絞られる。

【0025】以上の図1～図5の実施例からもわかるように、本発明で用いる最大電圧保護回路10と中間電圧保護回路20はツェナーダイオード、抵抗、論理ゲート、コンパレータ、制御トランジスタ等の回路要素を組み合わせたいずれもごく簡単な回路構成なので動作に時間をほとんど要せず、かつ動作に狂いが生じることも非常に少ない。従って、本発明回路によって電力用半導体素子に対し高速かつ確実な過負荷保護を施すことができる。

【0026】

【発明の効果】以上に述べたとおり本発明の電力用過負荷保護回路では、半導体素子の主端子間電圧が最大設定値に達したとき半導体素子の制御入力端子を制御する最大電圧保護回路と、主端子間電圧が最大設定値より低く

設定された中間設定値を越えたとき半導体素子の制御入力電圧を制御する中間電圧保護回路とを用い、まず中間電圧保護回路により負荷電流を所定の電流制限値まで絞って過電力保護を施し、次に必要に応じて最大電圧保護回路により負荷電流を遮断して過電圧保護を施すことにより、次の効果を挙げることができる。

【0027】(a) 中間電圧保護回路を動作させる中間設定値を半導体素子の熱特性や負荷の特質に応じて最適の値に設定できるので、これを動作させる過電力保護領域内において半導体素子にそれが電源電圧の給電下で本来もっている負荷の駆動能力を充分に発揮させることができる。

(b) 過電力保護を中間電圧保護回路に、過電圧保護を最大電圧保護回路にそれぞれ分担させかつ互いに独立に保護動作をさせることにより、過電力保護および過電圧保護の動作を高速化しかつ確実にすることができる。

【0028】(c) 半導体素子に対する過電力保護と過電圧保護を段階的に施すことにより、従来のように双曲線状の保護特性をもたせる保護回路に比べて保護特性を単純化して、過電力と過電圧の双方に対する保護性能を備えるにも拘わらず回路の全体構成を簡単化して集積回路への組み込みを容易にすることができる。なお、中間設定値を電源電圧値と同程度かそれより若干高めに設定する態様は半導体素子に負荷駆動能力を充分発揮させる上で一層有利であり、中間設定値を複数個設定して主端子間電圧が各中間設定値を越えるつどに中間電圧保護回路に負荷電流を順次低下する電流制限値に絞らせる態様は過電力保護性能を向上する上で有利である。

【0029】さらに、中間電圧保護回路に対して、(a)半導体素子の主端子間電圧を受けるツェナーダイオードを組み込んで、その降伏電圧を中間設定値として負荷電流を絞り込み、(b) 主端子間電圧を受ける抵抗分圧回路とその分圧を受けるしきい値動作回路要素を組み込み、前者の分圧比と後者のしきい値とにより中間設定値を設定して、しきい値動作回路要素が動作したとき負荷電流を絞り込み、あるいは(c) 主端子間電圧を受ける抵抗分圧回路とその分圧を所定の基準電圧と比較するコンパレータを組み込み、前者の分圧比と基準電圧値とにより中間設定値を設定して、コンパレータの出力に応じ負荷電流を絞り込む態様は、いずれも中間電圧保護回路の構成を簡単化しその動作信頼性を高める上で有利である。また、中間電圧保護回路により負荷電流を絞り込む手段として半導体素子に対する制御入力電圧を受ける抵抗分圧回路を設けて、それによる制御入力電圧の分圧値を半導体素子に与える態様は回路構成を簡単化する上でとくに有利である。

【図面の簡単な説明】

【図1】本発明の実施例を電力用半導体素子および関連回路とともに示し、同図(a)は本発明による過負荷保護回路の一実施例の回路図、同図(b)はその保護特性例を

示す線図である。

【図2】本発明の異なる実施例を中間電圧保護回路について主な関連回路とともに示す回路図である。

【図3】本発明のさらに異なる実施例を中間電圧保護回路について主な関連回路とともに示す回路図である。

【図4】本発明のもう一つの異なる実施例を中間電圧保護回路について主な関連回路とともに示す回路図である。

【図5】従来の保護回路の代表的な例を保護特性面から示し、同図(a)は従来の過電圧保護回路の保護特性を示す線図、同図(b)は従来の過電力保護回路の保護特性を示す線図である。

【符号の説明】

1	保護対象としての電力用半導体素子
2	電源
3	負荷
4	駆動回路
5	負荷電流制御用の演算増幅器
6	負荷電流制御用の制御トランジスタ
10	最大電圧保護回路

11 コンパレータ

20 中間電圧保護回路

21 ツエナーダイオード

22 検出抵抗

23a, 23b 抵抗分圧回路用の抵抗

24 ナンドゲート

25 トランジスタ

26 コンパレータ

27a, 27b 抵抗分圧回路用の抵抗

A 本発明による保護特性

B 従来の過電圧保護特性

C 従来の過電力保護特性

I 負荷電流

V 半導体素子の主端子間電圧

Vc 半導体素子の制御入力電圧

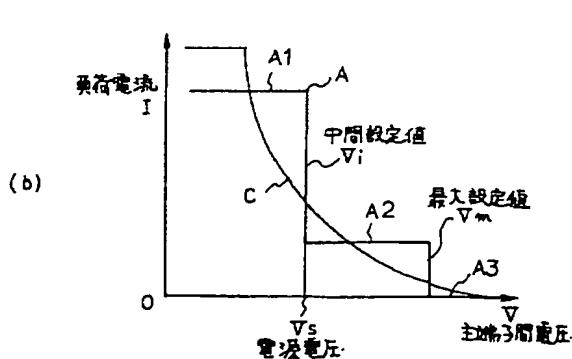
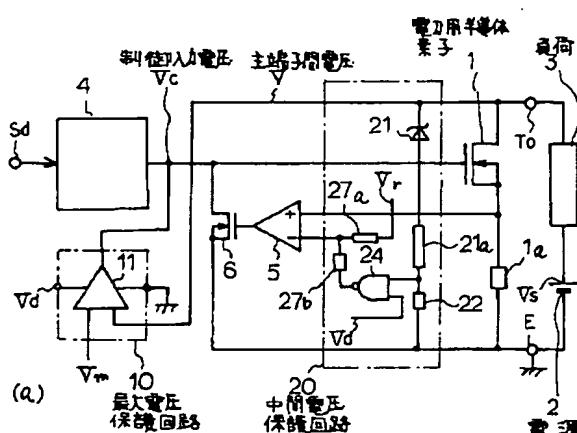
Vd 制御電源電圧

Vi 中間設定値

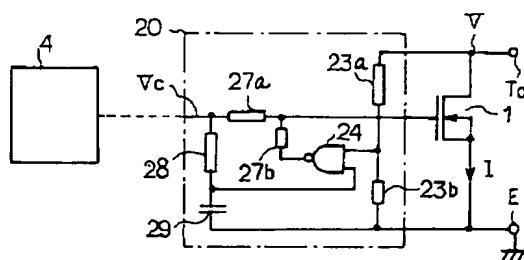
Vm 最大設定値

Vs 電源電圧

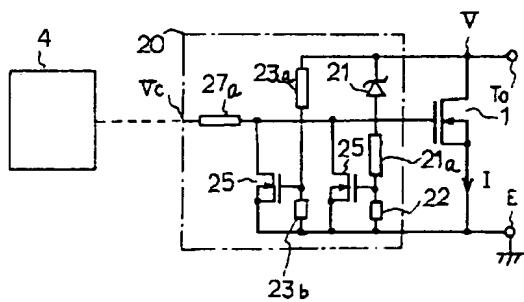
【図1】



【図2】

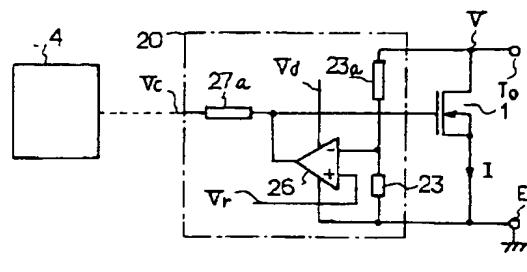


【図3】



平07-297697 平06-090399 電力用半導体素子の過負荷保護回路

【図 4】



【図 5】

